

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

jc903 U.S. PTO

09/871995



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 :
Application Number

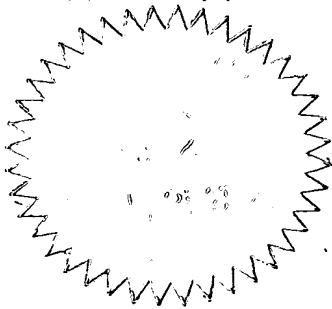
특허출원 2000년 제 71747 호

출원 년 월 일 :
Date of Application

2000년 11월 29일

출원 인 :
Applicant(s)

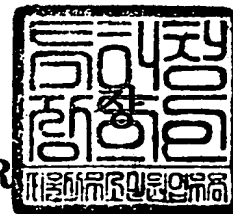
한국전자통신연구원



2001 02 16
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.11.29
【발명의 명칭】	핑거의 F I F O 수를 줄이는 심볼 컴바이닝 방법, 이를 이용한 레이크 수신기 및 이러한 레이크 수신기를 구동시키기 위한 방법
【발명의 영문명칭】	Symbol data timing alignment and combining method for reducing the number of FIFO registers, and a rake receiver and it's architecture with the proposed combining technique
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	전영일
【대리인코드】	9-1998-000540-4
【포괄위임등록번호】	1999-054594-1
【발명자】	
【성명의 국문표기】	어익수
【성명의 영문표기】	E0, Ik Soo
【주민등록번호】	620705-1117917
【우편번호】	305-333
【주소】	대전광역시 유성구 어은동 한빛아파트 102동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	김경수
【성명의 영문표기】	KIM, Kyung Soo
【주민등록번호】	511221-1093119
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 목련아파트 305동 706호
【국적】	KR
【발명자】	
【성명의 국문표기】	이성주
【성명의 영문표기】	LEE, Seong Joo

【주민등록번호】	700213-1029516
【우편번호】	121-240
【주소】	서울특별시 마포구 연남동 390-40
【국적】	KR
【발명자】	
【성명의 국문표기】	김재석
【성명의 영문표기】	KIM, Jae Seok
【주민등록번호】	551001-1268519
【우편번호】	412-270
【주소】	경기도 고양시 덕양구 화정동 은빛마을 524동 1303호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 전영일 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	14 면 14,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	20 항 749,000 원
【합계】	792,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	396,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 레이크(Rake) 수신기중 심볼 컴바이닝(Symbol Combining)에 관한 것으로, CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정에서 복조된 다중 경로(Multi-path) 신호를 컴바이닝하는 방법에 관한 것이다.

본 발명의 목적은 CDMA 통신 시스템에서 다중 경로 신호를 컴바이닝할 시, 컴바이닝 과정에 새로운 알고리즘을 사용함으로써, 레이크 수신기의 각 핑거(Finger)에서 시간 동기(Timing Synchronization)를 맞추기 위해 사용되는 FIFO 레지스터의 하드웨어 복잡도를 획기적으로 감소시키는 데에 있다. 기존 컴바이닝 알고리즘(IS-95)에서는 복조된 심볼을 컴바이닝하기에 앞서 각 심볼들의 시간적인 동기를 맞추기 위해 각 핑거마다 FIFO 레지스터를 사용하였으나, 수정된 상기 컴바이닝 알고리즘은 심볼의 시간적인 동기뿐만 아니라 심볼에 대한 컴바이닝 작업을 동시에 수행함으로써, 핑거의 수에 상관없이 하나의 FIFO 레지스터만을 사용하여 컴바이닝이 가능하도록 하였다.

【대표도】

도 3

【색인어】

핑거, 레이크 수신기, 심볼 컴바이닝, 시간 동기

【명세서】

【발명의 명칭】

핑거의 F I F O 수를 줄이는 심볼 컴바이닝 방법, 이를 이용한 레이크 수신기 및 이러한 레이크 수신기를 구동시키기 위한 방법 {Symbol data timing alignment and combinin method for reducing the number of FIFO registers, and a rake receiver and it's architecture with the proposed combining technique}

【도면의 간단한 설명】

도 1은 종래의 IS-95 방식의 심볼 컴바이닝 방법을 개념적으로 보여주는 도면이고,
 도 2는 기존의 심볼 컴바이닝 알고리즘을 그대로 IMT-2000 시스템에 적용시켰을 경우, FIFO 레지스터의 하드웨어 복잡도가 얼마나 증가하는가를 설명해주는 도면이고,
 도 3은 본 발명의 일 실시예에 따른 새로운 심볼 컴바이닝 알고리즘을 3개의 핑거를 사용하는 레이크 수신기에 적용시켰을 경우의 개략적인 구성도이고,
 도 4는 도 3에 도시된 제어기에서 wr_point를 생성하는 방법을 설명하기 위한 개략적인 도면이고,
 도 5는 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘을 나타낸 흐름도이고, 도 6은 핸드오프가 일어나지 않은 상황에서 다중 경로 시간 지연에 의해 각 핑거에서 복조하는 심볼의 시간 정보가 다를 경우, 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘의 동작을 개략적으로 보여 주는 도면이고,
 도 7은 핸드오프가 일어나는 상황에서 다중 경로 시간 지연에 의해 각 핑거에서 복조하

는 심볼의 시간 정보가 다를 경우, 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘의 동작을 개략적으로 보여 주는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 레이크(Rake) 수신기중 심볼 컴바이닝(Symbol Combining) 방법에 관한 것으로, 특히, CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정에서 복조된 다중 경로 신호를 컴바이닝하는 방법에 관한 것이다.
- <8> IS-95 방식에서 레이크 수신기는 다중 경로(Multi-path) 신호를 컴바이닝함으로써, SNR(Signal to Noise Ratio) 성능을 향상시켰다. 그런데, 다중 경로 신호들은 각자의 시간 지연을 가지기 때문에, 다중 경로 신호들을 컴바이닝하기 위해서는 먼저 각각의 다중 경로 신호들 사이의 시간 동기를 맞추는 과정이 필요하게 된다. 따라서, 레이크 수신기의 각각의 핑거(Finger)는 신호의 시간 동기(Timing Synchronization)를 위해 각자 독립적인 FIFO(File-In File-Out) 레지스터를 가져야만 했다. 그러나, 이러한 구조는 IS-95 방식에서는 FIFO 레지스터의 수 및 그 크기가 작아서 큰 문제가 되지 않았다.
- <9> 그런데, 이동 통신 시스템이 IMT-2000 시스템으로 확대되어 가면서 고속의

데이터 전송이 필요하게 되었고, 핑거의 개수가 증가하고 심볼의 구간(Duration)이 감소되면서 FIFO 레지스터의 수 및 그 크기가 급격하게 증가하게 되었다. 레이크 수신기의 하드웨어 복잡도가 매우 중요한 문제로 부각되는 IMT-2000 시스템에서 FIFO 레지스터의 급격한 하드웨어 증가는 수신기 설계에 있어서 매우 큰 문제가 된다. 그러므로, 종래의 심볼 컴바이닝 알고리즘을 이용하여 IMT-2000 시스템의 레이크 수신기를 설계하는 데는 한계가 있다.

<10> 도 1은 종래의 IS-95 방식의 심볼 컴바이닝 방법을 개념적으로 보여주는 도면으로서, 이를 상세히 설명하면 다음과 같다.

<11> 우선 각각의 핑거는 각자의 FIFO 레지스터를 소유하게 되고, 각기 각각의 핑거는 각자의 복조 시간에 맞추어 심볼을 복조한 다음, 복조된 심볼들((1), (2), (3))을 각각의 핑거의 FIFO 레지스터의 블록 (1), (2), (3)에 저장한다. 일정 시간동안 심볼들이 누적되면, 컴바이너에서는 각각의 핑거에서 동일한 시간 정보(Timing Reference)를 가지는 심볼들((4), (5), (6))을 읽어들이어 컴바이닝한다. 한편, 도 1에서 FIFO 레지스터의 깊이(Depth)는 핸드오프 상황이나 다중 경로 페이딩 상황에서 신호를 잃어버리지 않을 정도의 크기를 가져야만 한다. 종래의 IS-95 방식에서는 FIFO 레지스터의 깊이를 8단으로 설계했다.

<12> 도 1에서 알 수 있듯이, 기존의 심볼 컴바이닝 방법에서는 각각의 핑거가 복조된 심볼들의 시간 동기를 맞추기 위하여 각자의 FIFO 레지스터를 사용해야만 한다. 이것은 IS-95 시스템과 같이 핑거의 수가 적거나 FIFO의 깊이가 작은 경우에는 문제가 되지 않지만, 핑거의 수가 증가하고 FIFO의 크기가 매우 크게 증가하는 IMT-2000 시스템에서는 매우

큰 부담으로 작용하게 된다.

<13> 도 2는 기존의 심볼 컴바이닝 알고리즘을 그대로 IMT-2000 시스템에 적용시켰을 경우, FIFO 레지스터의 하드웨어 복잡도가 얼마나 증가하는가를 설명해주는 도면으로서, 이를 상세히 설명하면 다음과 같다.

<14> 도 2에서 증가 요인(1)은 IS-95 시스템보다 IMT-2000 시스템에서 FIFO 레지스터의 깊이가 얼마나 증가하는 가를 보여주고, 증가 요인(2), 증가 요인(3) 및 증가 요인(4)는 IS-95 시스템보다 IMT-2000 시스템에서 FIFO 레지스터의 개수가 얼마나 증가하는 가를 보여준다. 도 2의 증가 요인들을 모두 고려하면, IS-95 시스템의 FIFO 레지스터보다 IMT-2000 시스템의 FIFO 레지스터가 192 배의 하드웨어 복잡도를 가진다. 이러한 결과는 하드웨어 복잡도가 무엇보다도 중요한 과제인 IMT-2000 시스템에서 기존의 심볼 컴바이닝 알고리즘은 매우 큰 문제가 된다는 것을 의미한다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명의 목적은 CDMA 통신 시스템에서 다중 경로 신호를 컴바이닝할 시, 컴바이닝 과정에 새로운 알고리즘을 사용함으로써, 레이크 수신기의 각 핑거에서 시간 동기를 맞추기 위해 사용되는 FIFO 레지스터의 하드웨어 복잡도를 획기적으로 감소시키기 위한 심볼 컴바이닝 방법, 이를 이용한 레이크 수신기 및 이러한 레이크 수신기를 구동시키기 위한 방법을 제공하는 데에 있다.

【발명의 구성 및 작용】

- <16> 이와 같은 본 발명의 목적을 달성하기 위하여, 본 발명에서는, CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정 중 복조된 다중 경로(Multi - Path) 신호에 대한 심볼 컴바이닝(Symbol Combining) 기능을 수행하는 레이크(Rake) 수신기에 있어서, FIFO 레지스터(Register)를 하나만 설치하고, 상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기가 제공된다.
- <17> 또한, CDMA 통신 시스템의 복조 과정 중 복조된 다중 경로 신호를 심볼 컴바이닝하는 방법에 있어서, FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 심볼 컴바이닝 방법이 제공된다.
- <18> 또한, FIFO 레지스터가 하나만 설치되고, 상기 FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법에 있어서, i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계; 상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 레지스터의 어느 블록에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계; 상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계를 포함하여 이루어진 것을 특징으로 하는 레이크 수신기를 구동시키기

위한 심볼 컴바이닝 방법이 제공된다.

<19> 또한, FIFO 레지스터가 하나만 설치되고, 상기 FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법이 있어서, i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계; 상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 레지스터의 어느 블록에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계; 상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계; 상기 제 1 단계 내지 제 3 단계를 반복적으로 수행하는 제 4 단계; 읽기 신호가 발생하면, 읽하고자 하는 FIFO 레지스터의 블록 위치를 계산하는 제 5 단계; 상기 제 5 단계에서 계산된 FIFO 레지스터의 블록 위치에 있는 데이터를 선택하여 컴바이너로 전송한 후, 그 블록을 초기화시키는 제 6 단계를 포함하여 이루어진 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법이 제공된다.

<20> 또한, CDMA 통신 시스템의 복조 과정 중 복조된 다중 경로 신호를 심볼 컴바이닝하는 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서, FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체가 제공된다.

<21> 또한, FIFO 레지스터가 하나만 설치되고, 상기 FIFO 레지스터에 핑거가 복조된 심

볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서, i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계; 상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 레지스터의 어느 블록에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계; 상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계를 포함하여 이루어진 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체가 제공된다.

<22> 또한, FIFO 레지스터가 하나만 설치되고, 상기 FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서, i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계; 상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계; 상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3

단계; 상기 제 1 단계 내지 제 3 단계를 반복적으로 수행하는 제 4 단계; 읽기 신호가 발생하면, 읽고자 하는 FIFO 레지스터의 블록 위치를 계산하는 제 5 단계; 상기 제 5 단계에서 계산된 FIFO 레지스터의 블록 위치에 있는 데이터를 선택하여 컴바이너로 전송한 후, 그 레지스터를 초기화시키는 제 6 단계를 포함하여 이루어진 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체가 제공된다.

<23> 또한, 보다 더 바람직하게는, 상기 FIFO 레지스터의 쓰기 위치를 아래의 [수학식 1]에 의하여 결정하는 것을 특징으로 하는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체가 제공된다.

<24> 【수학식 1】

$$W = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

<25> 여기서, $[x]$ 는 x 를 넘지 않는 최대 정수(Integer)를 의미하고, $x \bmod y$ (모듈로 연산)는 x 를 y 로 나누었을 때의 나머지를 의미하며, W 는 선택된 심볼 데이터의 저장 위치를 나타내는 변수이고, P 는 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려 주는 변수이며, S 는 심볼 구간을 나타내는 변수이고, N 은 FIFO 레지스터 깊이(Depth)를 나타낸다.

<26> 이하, 본 발명의 일 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<27> 도 3은 본 발명의 일 실시예에 따른 새로운 심볼 컴바이닝 알고리즘을 3개의 핑거를 사용하는 레이크 수신기에 적용시켰을 경우의 개략적인 구성도로서, 이를 상세히 설명하면

다음과 같다.

- <28> 도 3에서 보면, FIFO 레지스터(1)는 기존과 달리 하나만 사용되고 있지만, FIFO 레지스터에 핑거가 복조된 심볼을 저장할 때, 덧셈기(2)를 이용하여 기존에 저장된 FIFO 레지스터의 값과 더하여 저장하고 있기 때문에, 각각의 핑거에서 들어오는 심볼들을 컴바이닝하면서 저장할 수 있게 된다. 이렇게 함으로써, 각각의 핑거에서 복조되는 심볼의 시간 동기뿐만 아니라 컴바이닝 과정이 하나의 동작으로 수행하는 것이 가능해진다.
- <29> 도 3에서 제어기(3)는 핑거에서 복조되어 전송된 심볼이 FIFO 레지스터중 어느 블록 위치에 저장되어야 하는지를 결정하고, 동시에 심볼 컴바이너(Symbol Combiner)가 컴바인된 심볼 데이터를 제대로 읽어갈 수 있도록 도와준다. 상기 제어기(3)에 입력되는 신호들을 살펴보면, 각각의 핑거에서 보내주는 신호들에는 복조된 심볼 데이터인 sym_fn_1 , sym_fn_2 , sym_fn_3 와 이 데이터들을 FIFO 레지스터에 쓰기 위한 쓰기 신호인 we_1 , we_2 , we_3 가 있고, 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려주는 $position_fn_1$, $position_fn_2$, $position_fn_3$ 와 심볼 구간의 크기를 알려주는 S가 있다. 그리고, 심볼 컴바이너에서 입력되는 신호에는 컴바인된 심볼 데이터를 읽어들이기 위한 re 신호가 있다. 이 신호들은 기존의 IS-95 시스템에서 모두 사용되었던 신호들이므로, 새롭게 발명된 컴바이닝 알고리즘을 위해서 새롭게 추가되는 신호들은 아니다.
- <30> 상기 제어기(3)의 출력 신호들을 살펴보면, 여러 개의 핑거에서 출력되는 심볼 데이터와 시간 정보 신호들 중 하나를 선택하기 위한 sel_fn 신호, 선택된 심볼 데이터의 저장 위치를 알려주는 wr_point 및 읽어들이기 위한 컴바인된 심볼 데이터의 위치를 지정하기 위한 rd_point 가 있다. 컴바이너는 상기 rd_point 가 가르키는 블록의 레지스터 출력을 읽어들이는 다음, 각각의 핑거에서 다음 심볼 데이터를 저장할 수 있도록 초기화시킨다.

한편, wr_point와 rd_point를 결정하는 방식에 대해서는 아래에서 설명하도록 한다.

<31> CDMA 통신 시스템은 IS-95 시스템이건 MC-CDMA 시스템이건 모두 동기(Synchronous) 시스템이다. 즉, 모든 기지국에서 발송되는 PN 코드는 절대적인 시간에 동기가 맞추어져 발송되고, 이 PN 코드의 위상을 이용해서 전송하고자 하는 통화 채널(Traffic Channel)의 프레임 경계(Frame Boundary)를 결정한다. 따라서, 심볼 데이터의 시간 정보는 기지국에서 전송되는 PN 코드의 위상을 이용해서 얻어낼 수 있다. 아래의 [수학식 2]는 PN 코드의 위상을 이용해서 어떻게 복조된 심볼 데이터의 저장 위치(wr_point)를 결정하는가를 설명하여 준다.

<32> 【수학식 2】

$$W = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

<33> 여기서, $[x]$ 는 x 를 넘지 않는 최대 정수를 의미하고, $x \bmod y$ 는 x 를 y 로 나누었을 때의 나머지를 의미하며, W , P , S , 및 N 은 각각 wr_point, position_fn, 심볼 구간 및 FIFO 레지스터 깊이이고, position_fn은 3개의 핑거중에서 선택된 핑거의 PN 코드 위상값을 의미한다.

<34> 상기 [수학식 2]에서 -1이 들어간 이유는 핑거에서 심볼을 복조할 때 PN 부호 역확산 및 위상 에러 제거 과정이 필요한데, 이 과정은 심볼 구간내에 종결되지 못하고 심볼 구간이 끝난 다음에 종결되므로, 핑거에서 보내주는 심볼은 실제 심볼이 전송되는 시간보다 1 심볼 늦어지게 된다. 따라서, 이러한 과정상에서 생기는 지연을 보상하기 위해

사용된 값이다. 상기 [수학식 2]에서 심볼 구간과 FIFO 레지스터 깊이는 IS-95 시스템 및 IMT-2000 시스템에서 모두 2^x 형태의 값을 가진다. 따라서, 상기 [수학식 2]는 매우 간단하게 하드웨어로 구현할 수 있다.

<35> 도 4는 도 3에 도시된 제어기에서 wr_point를 생성하는 방법을 설명하기 위한 개략적인 도면으로서, 이를 상세히 설명하면 다음과 같다.

<36> 도 4에서 position_fn은 15 비트로 설정했고, 심볼 구간 S는 2^s PN 칩($s = 2, 3, \dots, 7$)으로, FIFO 레지스터의 깊이 N은 2^n 으로 설정했다. 우선, 신호 S의 값에 의해서 position_fn의 출력값을 나누게 되는데, S의 값이 2^s 형태이고, 나눗셈의 결과를 정수로 표현하도록 하였으므로, 나눗셈은 단순히 position_fn의 비트 선택 및 멀티플렉서(1)들을 이용하여 구현이 가능하게 된다. 다음으로, 시간 지연에 대한 보상을 위해 나눗셈 결과에 -1 값(2)을 더하고, 마지막으로, FIFO의 깊이를 고려하여 모듈로(Modulo) 연산을 수행하게 된다. 여기서, FIFO의 깊이 N은 2^n 형태를 가지므로, 모듈로 연산은 단순히 하위 n 비트를 선택하는 것(3)으로 구현이 가능해진다.

<37> 이 때, 컴바이너가 컴바인된 신호를 읽어들이기 위해 상기 제어기는 rd_point를 발생시키게 된다. rd_point는 각각의 핑거에서 복조된 심볼을 잃어버리지 않기 위해서 가장 빠른 핑거의 wr_point보다 k 심볼 만큼 늦게 출발한다. 여기서, k 심볼 값은 시스템에 따라서 적절한 값으로 설정이 가능하고, 각각의 핑거의 PN 부호 추적 및 이동(Slewing) 때문에 시간에 따라서 변한다.

<38> 도 5는 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘을 나타낸 흐름도로서, 이를 상세히 설명하면 다음과 같다.

<39> 우선, 쓰기 동작을 살펴 보면, 스텝 S501에서, i 번째 핑거에서 심볼 데이터에 대한 처리가 끝나서 FIFO에 데이터를 저장하고자 하면(we_i 신호가 발생), 스텝 S502 및 스텝 S503에서, 제어기에서는 i 번째 핑거의 심볼 데이터와 PN 코드 위상을 선택하게 된다. 즉, 선택된 PN 코드 위상을 이용해서, 제어기는 저장하고자 하는 심볼 데이터가 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하게 된다.

<40> 이어서, 쓰기 위치가 계산되면, 스텝 S504에서, 레지스터의 블록들중 쓰기 위치에 있는 블록의 데이터를 불러온 후, 스텝 S505에서, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 스텝 S506에서, 결과값을 다시 그 위치의 블록에 저장한다. 쓰기에 대한 모든 동작이 끝나면, 제어기는 초기 상태로 돌아가서 다음 we 신호를 기다린다. 만약, 2개 이상의 핑거에서 동시에 저장을 요청할 경우(2개 이상의 핑거에서 동시에 we 신호를 발생시키는 경우)에는 번호가 낮은 핑거부터 우선 순위를 두어 위의 과정을 처리하도록 한다.

<41> 다음으로 읽기 동작을 살펴 보면, 스텝 S507 내지 스텝 S509에서, 일정한 심볼동안(k 심볼 정도) 쓰기 동작이 수행되면, 컴바이너에서는 FIFO에 저장된 데이터를 읽어오게 된다. 이때, 컴바이너에서는 제어기에 읽기 신호(re)를 발생시키고, 읽고자 하는 FIFO 레지스터의 블록 위치를 알려준다.

<42> 이어서, 스텝 S510에서, 제어기에서는 레지스터의 블록들중 읽기 위치에 있는 블록의 데이터를 선택한 후, 스텝 S511에서, 컴바이너로 전송하고, 스텝 S512에서, 그 블록을 초기화시킨다. 읽기에 대한 모든 동작이 끝나면, 제어기는 초기 상태로 돌아가서 다음 re

신호를 기다린다.

<43> 도 6은 핸드오프가 일어나지 않은 상황에서 다중 경로 시간 지연에 의해 각각의 핑거에서 복조하는 심볼의 시간 정보가 다를 경우, 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘의 동작을 개략적으로 보여 주는 도면으로서, 이를 상세히 설명하면 다음과 같다.

<44> 동작 설명의 편의를 위하여, 우선 첫 번째 핑거가 시간 지연이 가장 적은 다중 경로 신호를 복조하고, 세 번째 핑거가 시간 지연이 가장 긴 다중 경로 신호를 복조한다고 가정한다. 다음으로, t_1 , t_2 , t_3 , t_4 순으로 동작이 진행된다고 가정한다.

<45> 우선, t_1 에서 두 번째 핑거가 $(mN + i - 2)$ 번째의 심볼 데이터($1, S_{mN+i-2}^2$)를 복조하게 되면, 상기 제어기는 앞서 첫 번째 핑거가 복조해서 FIFO 레지스터의 $(i - 2)$ 번째 블록(2)에 저장해 놓은 심볼 데이터(S_{mN+i-2}^1)를 출력하여 두 번째 핑거가 복조한 심볼 데이터와 더한 다음, 결과 값인 $C_{mN+i-2}^*(3) (= S_{mN+i-2}^1 + S_{mN+i-2}^2)$ 를 FIFO 레지스터의 $(i - 2)$ 번째 블록에 저장한다.

<46> 다음으로, t_2 에서는 컴바이너가 컴바인된 심볼을 읽어가기 위해 읽기 신호(4)를 발생시키게 되면, 상기 제어기는 첫 번째 핑거의 쓰기 위치(5) 보다 k 심볼 떨어진 위치에 저장된 심볼 데이터(6, $C_{mN+i-k} = S_{mN+i-k}^1 + S_{mN+i-k}^2 + S_{mN+i-k}^3$)를 선택하여 컴바이너로 보낸다. 컴바이너로 심볼 데이터를 출력시키면, 상기 제어기는 다음 심볼 데이터를 위해 레지스터(7)를 초기화시킨다.

<47> t_3 에서 세 번째 핑거가 $(mN + i - 3)$ 번째의 심볼 데이터(8, S_{mN+i-3}^3)를 복조하면, 상기

제어기는 앞서 첫 번째와 두 번째 핑거가 복조해서 누적시킨 후, FIFO 레지스터의 $(i - 3)$ 번째 블록(9)에 저장시켜 놓은 데이터($C_{mN+i-3}^* = S_{mN+i-3}^1 + S_{mN+i-3}^2$)를 출력하고, 이 데이터를 세 번째 핑거가 복조한 심볼 데이터와 더한 다음, 결과 값(10, $C_{mN+i-3} = S_{mN+i-3}^1 + S_{mN+i-3}^2 + S_{mN+i-3}^3$)을 FIFO 레지스터의 $(i - 3)$ 번째의 블록에 저장한다.

<48> t4에서 첫 번째 핑거가 $(mN + i)$ 번째의 심볼 데이터(11, S_{mN+i}^1)를 복조하면, 상기 제어기는 i 번째 블록(12)을 선택하여 이전의 데이터와 첫 번째 핑거의 심볼 데이터를 더하여 결과 값(13)을 i 번째 블록에 저장한다. 이때, 첫 번째 핑거 이전에는 복조된 데이터가 없으므로, 결과적으로 i 번째 블록에는 첫 번째 핑거의 심볼 데이터만 저장된다.

<49> 위와 같은 과정들이 반복되면서, 3개의 핑거들은 하나의 FIFO 레지스터를 이용하여 심볼을 컴바이닝하고 심볼의 시간 동기를 수행할 수 있게 된다.

<50> 도 7은 핸드오프가 일어나는 상황에서 다중 경로 시간 지연에 의해 각 핑거에서 복조하는 심볼의 시간 정보가 다를 경우, 본 발명의 일 실시예에 따른 심볼 컴바이닝 알고리즘의 동작을 개략적으로 보여 주는 도면으로서, 이를 상세히 설명하면 다음과 같다.

<51> 도 7에서 설명의 편의를 위해 세 번째 핑거가 핸드오프하려고 하는 기지국의 신호를 복조하고, 첫 번째와 두 번째의 핑거는 기존의 기지국 신호를 복조하고 있다고 가정한다. 또한, 이동국이 핸드오프하려고 하는 기지국으로 이동하고 있다고 보고, 핸드오프하려고 하는 기지국의 신호가 기존의 기지국 신호보다 h 심볼만큼 빠르게 도착한다(1)고 가정한다. 그리고, 각각의 핑거의 쓰기 동작은 FIFO 레지스터의 마지막 위치를 지나 다시 처음 위치로 돌아와 수행이 되고 있고, 컴바이너의 읽기는 아직 FIFO 레지스터의 마지막

위치를 지나지 않았다고 가정한다.

<52> 우선, t_1 에서 첫 번째 핑거가 핸드오프하기 전의 기지국 신호를 수신하여 $(kN + i)$ 번째 심볼 데이터(2, S^1_{kN+i})를 복조하면, 상기 제어기는 FIFO 레지스터의 i 번째 블록(3)에 첫 번째 핑거가 복조한 심볼 데이터를 누적시킨다. i 번째 블록은 컴바이너가 컴바인된 데이터를 읽어간 이후이므로, 첫 번째 핑거가 심볼 데이터를 복조하기 이전에 초기화되어 있다.

<53> t_2 에서 세 번째 핑거가 핸드오프하려고 하는 기지국 신호를 수신하여 $(kN + i + h)$ 번째 심볼 데이터(4, $*S^3_{kN+i+h}$)를 복조하면, 세 번째 핑거는 첫 번째 핑거보다 h 심볼만큼 앞선 신호를 복조하기 때문에, 제어기는 $(i + h)$ 번째 블록(5)에 세 번째 핑거가 복조한 심볼 데이터를 누적시킨다. 이때, 첫 번째 핑거의 쓰기 위치와 컴바이너의 읽기 위치 사이의 간격(6, $N-k$ 심볼)은 핸드오프에 의한 기지국간 시간 지연 차이를 보상할 수 있을 정도로 설정되어, 세 번째 핑거의 데이터가 컴바이너의 읽기 위치를 넘어서지 않도록 해야한다. 만약, 이런 경우가 발생하면, FIFO 에러 신호를 발생시켜 FIFO에 에러가 있음을 알린다.

<54> t_3 에서 컴바이너가 읽기 신호를 발생시키면, 상기 제어기는 읽기 위치에 지정된 저장 데이터 값(7, $C_{(k-1)N+m}$)을 선택하여 컴바이너에 보내고, 컴바이너의 읽기 동작이 종료되면 m 번째 레지스터(8)를 초기화시킨다.

<55> 마지막으로, t_4 에서 두 번째 핑거가 핸드오프하기 전의 기지국 신호를 수신하여 $(kN + i - 2)$ 번째 심볼 데이터(9, S^2_{kN+i-2})를 복조하면, 상기 제어기는 $(i - 2)$ 번째 블록(10)에 두 번째 핑거가 복조한 심볼 데이터를 누적시켜, 결과 값(11, C^*_{kN+i-2})을 저장한다.

<56> 지금까지의 설명했었던 바와 같이, 본 발명에서 제시하는 컴바이닝 알고리즘은 기존의 알고리즘과 달리 컴바이닝 동작을 수행하면서, 동시에 각각의 핑거의 심볼 데이터에 대한 시간 동기도 병행할 수 있기 때문에, 하나의 FIFO 레지스터만을 필요로 한다.

<57> 즉, 본 발명의 일 실시예에 따른 알고리즘은 각각의 핑거에 각자의 FIFO 레지스터를 사용하지 않고 핑거의 수에 상관 없이 하나의 FIFO 레지스터를 사용하므로, 핑거의 수에 상관없이 복조하고자 하는 채널당 하나의 FIFO 레지스터를 사용할 수 있다. 따라서, 3개의 핑거를 사용하는 레이크 수신기의 경우, 기존 알고리즘의 하드웨어를 65%이상 감축시킬 수 있고, 만약 높은 SNR 성능을 위해 더 많은 핑거를 사용하는 레이크 수신기에서는 하드웨어 감소율이 이보다 더 커진다. 또한, 제안된 알고리즘은 심볼 컴바이닝을 위해 FIFO 레지스터를 사용하는 모든 이동 통신 시스템에 적용이 가능하므로, MC-CDMA 시스템 등과 같이 하드웨어가 매우 복잡하여 하드웨어를 줄이고자 하는 시스템에 매우 효과적이다.

【발명의 효과】

<58> 상술한 바와 같이, FIFO 레지스터의 수를 줄이기 위해 발명된 심볼 컴바이닝 알고리즘은 기존의 알고리즘에서 사용되는 신호들을 이용하여 설계가 가능하며, 변형된 알고리즘을 제어하기 위한 제어기도 매우 간단하게 구현할 수 있는 효과가 있다. 더욱이, 제안된 알고리즘은 기존의 알고리즘과 달리 핑거의 수에 상관없이 복조 채널당 1개의 FIFO 레지스터만을 사용하므로, FIFO 레지스터의 하드웨어를 감소시키는 효과를 가져온다. 따라서, IMT-2000 시스템 등과 같이 CDMA 방식을 사용하는 시스템중 복잡한 하드웨

어로 인해 설계에 큰 문제가 있는 시스템에 있어서, 복잡한 하드웨어를 줄일 수 있는 매우 효과적인 해결책을 제시한다.

【특허청구범위】**【청구항 1】**

CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정 중 복조된 다중 경로(Multi - Path) 신호에 대한 심볼 컴바이닝(Symbol Combining) 기능을 수행하는 레이크(Rake) 수신기에 있어서,

FIFO 레지스터(Register)를 하나만 설치하고,

상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기.

【청구항 2】

제 1 항에 있어서,

각각의 핑거에서 복조되어 전송된 심볼이 FIFO 레지스터 중 어느 블록 위치에 저장되어야 하는 지를 결정하고, 컴바인된 심볼 데이터를 출력 신호가 입력되면, 출력하는 기능을 수행하는 제어기를 더 포함하여 이루어진 것을 특징으로 하는 레이크 수신기.

【청구항 3】

제 2 항에 있어서,

상기 제어기는,

각각의 핑거로부터 수신된 쓰기 신호 및 심볼 구간을 이용하여, 컴바이닝될 각각의

평거의 심볼 데이터를 순서적으로 선택하는 수단을 포함하여 이루어진 것을 특징으로 하는 레이크 수신기.

【청구항 4】

제 2 항에 있어서,

상기 제어기는,

FIFO 레지스터의 쓰기 위치를 PN 부호의 위상, 심볼 구간 및 FIFO 레지스터의 깊이를 이용하여 계산하는 회로 수단을 포함하여 이루어진 것을 특징으로 하는 레이크 수신기.

【청구항 5】

제 4 항에 있어서,

상기 회로 수단은,

상기 FIFO 레지스터의 쓰기 위치를 아래의 [식 1]에 의하여 결정하는 것을 특징으로 하는 레이크 수신기.

[식 1]

$$w = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

여기서, [x]는 x를 넘지 않는 최대 정수(Integer)를 의미하고, $x \bmod y$ (모듈

로 연산)는 x 를 y 로 나누었을 때의 나머지를 의미하며, W 는 선택된 심볼 데이터의 저장 위치를 나타내는 변수이고, P 는 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려 주는 변수이며, S 는 심볼 구간을 나타내는 변수이고, N 은 FIFO 레지스터 깊이(Depth)를 나타낸다.

【청구항 6】

제 1 항에 있어서,

각각의 핑거에서 복조하는 심볼 데이터에 FIFO 레지스터의 출력 값을 컴바이닝하는 컴바이너를 더 포함하여 이루어진 것을 특징으로 하는 레이크 수신기.

【청구항 7】

CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정 중 복조된 다중 경로(Multi - Path) 신호를 심볼 컴바이닝(Symbol Combining)하는 방법에 있어서,

FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 심볼 컴바이닝 방법.

【청구항 8】

제 7 항에 있어서,

각각의 핑거로부터 수신된 쓰기 신호 및 심볼 구간을 이용하여, 컴바이닝될 각각의 핑거의 심볼 데이터를 순서적으로 선택하는 것을 특징으로 하는 심볼 컴바이닝 방법.

【청구항 9】

제 7 항에 있어서,

FIFO 레지스터의 쓰기 위치를 PN 부호의 위상, 심볼 구간 및 FIFO 레지스터의 깊이를 이용하여 계산하는 것을 특징으로 하는 심볼 컴바이닝 방법.

【청구항 10】

제 9 항에 있어서,

상기 FIFO 레지스터의 쓰기 위치를 아래의 [식 2]에 의하여 결정하는 것을 특징으로 하는 심볼 컴바이닝 방법.

[식 2]

$$W = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

여기서, $[x]$ 는 x 를 넘지 않는 최대 정수(Integer)를 의미하고, $x \bmod y$ (모듈로 연산)는 x 를 y 로 나누었을 때의 나머지를 의미하며, W 는 선택된 심볼 데이터의 저장 위치를 나타내는 변수이고, P 는 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려 주는 변수이며, S 는 심볼 구간을 나타내는 변수이고, N 은 FIFO 레지스터 깊이(Depth)를 나타낸다.

【청구항 11】

제 7 항에 있어서,

각각의 핑거에서 복조하는 심볼 데이터에 FIFO 레지스터의 출력 값을 컴바이닝하는 것을 특징으로 하는 심볼 컴바이닝 방법.

【청구항 12】

FIFO 레지스터(Register)가 하나만 설치되고, 상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법에 있어서,

i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계;

상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 FIFO 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계;

상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계를 포함하여 이루어진 것을 특징으로 하는 레이크 수신기를 구동

시키기 위한 심볼 컴바이닝 방법.

【청구항 13】

제 12 항에 있어서,

2개 이상의 핑거에서 동시에 저장을 요청하면, 번호가 낮은 핑거부터 우선 순위를 두어 처리하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법.

【청구항 14】

제 12 항에 있어서,

상기 제 2 단계는,

상기 FIFO 레지스터의 쓰기 위치를 아래의 [식 3]에 의하여 결정하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법.

[식 3]

$$W = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

여기서, $[x]$ 는 x 를 넘지 않는 최대 정수(Integer)를 의미하고, $x \bmod y$ (모듈로 연산)는 x 를 y 로 나누었을 때의 나머지를 의미하며, W 는 선택된 심볼 데이터의 저장 위치를 나타내는 변수이고, P 는 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려 주는 변수이며, S 는 심볼 구간을 나타내는 변수이고, N 은 FIFO 레지스터 깊이(Depth)를 나타

낸다.

【청구항 15】

FIFO 레지스터(Register)가 하나만 설치되고, 상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법에 있어서,

i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계;

상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 FIFO 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계;

상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계;

상기 제 1 단계 내지 제 3 단계를 반복적으로 수행하는 제 4 단계;

읽기 신호가 발생하면, 읽고자 하는 FIFO 레지스터의 블록 위치를 계산하는 제 5 단계;

상기 제 5 단계에서 계산된 FIFO 레지스터의 블록 위치에 있는 데이터를 선택하여

컴바이너로 전송한 후, 그 레지스터를 초기화시키는 제 6 단계를 포함하여 이루어진 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법.

【청구항 16】

제 15 항에 있어서,

2개 이상의 핑거에서 동시에 저장을 요청하면, 번호가 낮은 핑거부터 우선 순위를 두어 처리하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법.

【청구항 17】

제 15 항에 있어서,

상기 제 2 단계는,

상기 FIFO 레지스터의 쓰기 위치를 아래의 [식 4]에 의하여 결정하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법.

[식 4]

$$W = \left(\left\lfloor \frac{P}{S} \right\rfloor - 1 \right) \bmod N$$

여기서, $[x]$ 는 x 를 넘지 않는 최대 정수(Integer)를 의미하고, $x \bmod y$ (모듈로 연산)는 x 를 y 로 나누었을 때의 나머지를 의미하며, W 는 선택된 심볼 데이터의 저장 위치를 나타내는 변수이고, P 는 각각의 심볼들의 시간 정보를 PN 부호의 위상으로 알려 주는 변수이며, S 는 심볼 구간을 나타내는 변수이고, N 은 FIFO 레지스터 깊이(Depth)를 나타

낸다.

【청구항 18】

CDMA(Code Division Multiple Access) 통신 시스템의 복조 과정 중 복조된 다중 경로(Multi - Path) 신호를 심볼 컴바이닝(Symbol Combining)하는 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서,

FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

【청구항 19】

FIFO 레지스터(Register)가 하나만 설치되고, 상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서,

i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계;

상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터

가 FIFO 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계;

상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계를 포함하여 이루어진 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

【청구항 20】

FIFO 레지스터(Register)가 하나만 설치되고, 상기 FIFO 레지스터에 핑거(Finger)가 복조된 심볼을 저장할 때, 덧셈 수단을 이용하여 기존에 저장된 FIFO 레지스터 값을 누적시켜서 저장하는 것을 특징으로 하는 레이크 수신기를 구동시키기 위한 심볼 컴바이닝 방법을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체에 있어서,

i 번째 핑거에서 심볼 데이터에 대한 처리가 끝난 후, FIFO 레지스터에 데이터를 저장하고자 할 때, 상기 i 번째 핑거의 심볼 데이터 및 PN 코드 위상을 선택하는 제 1 단계;

상기 제 1 단계에서 선택한 PN 코드 위상을 이용하여 저장하고자 하는 심볼 데이터가 FIFO 레지스터의 어느 블록 위치에 저장될 수 있는지 쓰기 위치를 계산하는 제 2 단계;

상기 제 2 단계에서 계산한 쓰기 위치에 있는 블록의 데이터를 불러 온 후, 이 값

과 저장하고자 하는 심볼의 데이터를 컴바이닝시킨 다음, 결과값을 다시 그 위치의 블록에 저장하는 제 3 단계;

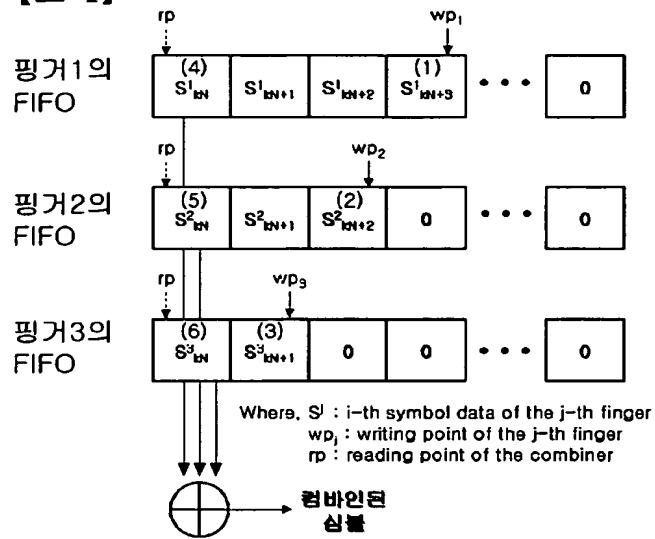
상기 제 1 단계 내지 제 3 단계를 반복적으로 수행하는 제 4 단계;

읽기 신호가 발생하면, 읽고자 하는 FIFO 레지스터의 블록 위치를 계산하는 제 5 단계;

상기 제 5 단계에서 계산된 FIFO 레지스터의 블록 위치에 있는 데이터를 선택하여 컴바이너로 전송한 후, 그 레지스터를 초기화시키는 제 6 단계를 포함하여 이루어진 것을 실행시킬 수 있는 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

【도면】

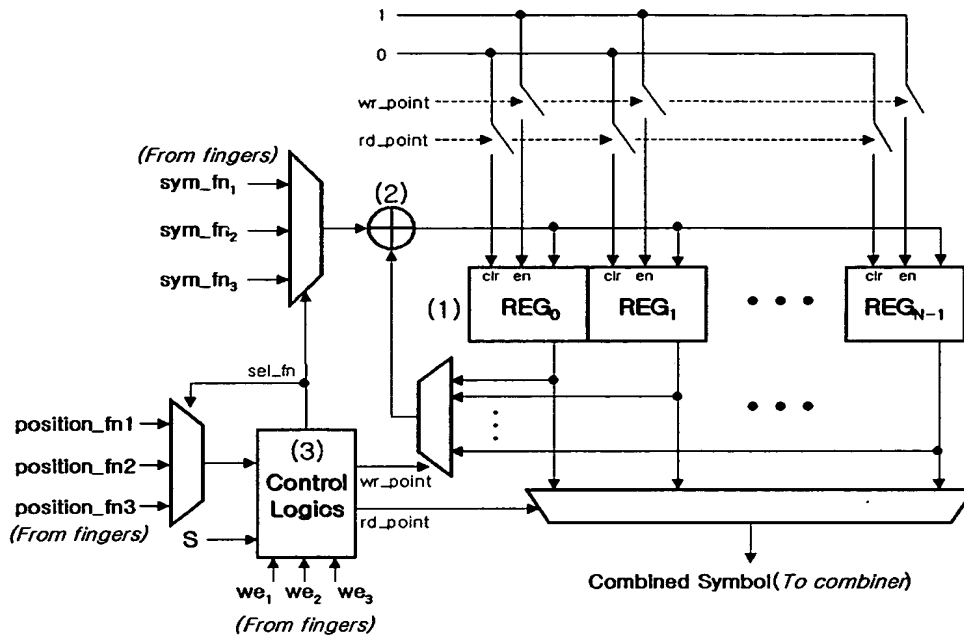
【도 1】



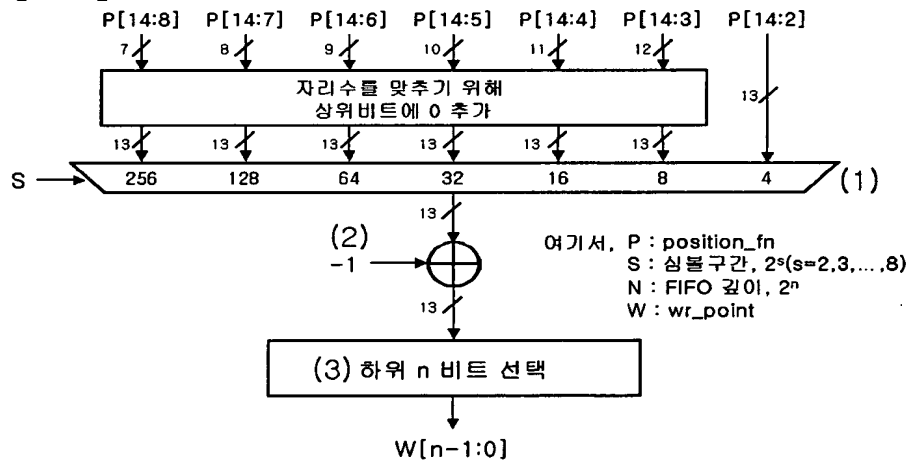
【도 2】

사양	IS-95 CDMA	MC-CDMA	증가요인
최소 심볼 구간	64 PN 칩	4 PN 칩	(1)FIFO깊이 :16배 증가
반송파수	1	3	(2)FIFO개수 :3배 증가
최대 전송 채널수	1	2	(3)FIFO개수 :2배 증가
심볼 변조 방식	BPSK	QPSK	(4)FIFO개수 :2배 증가
최종 하드웨어 증가			192배 (=16×3×2×2)

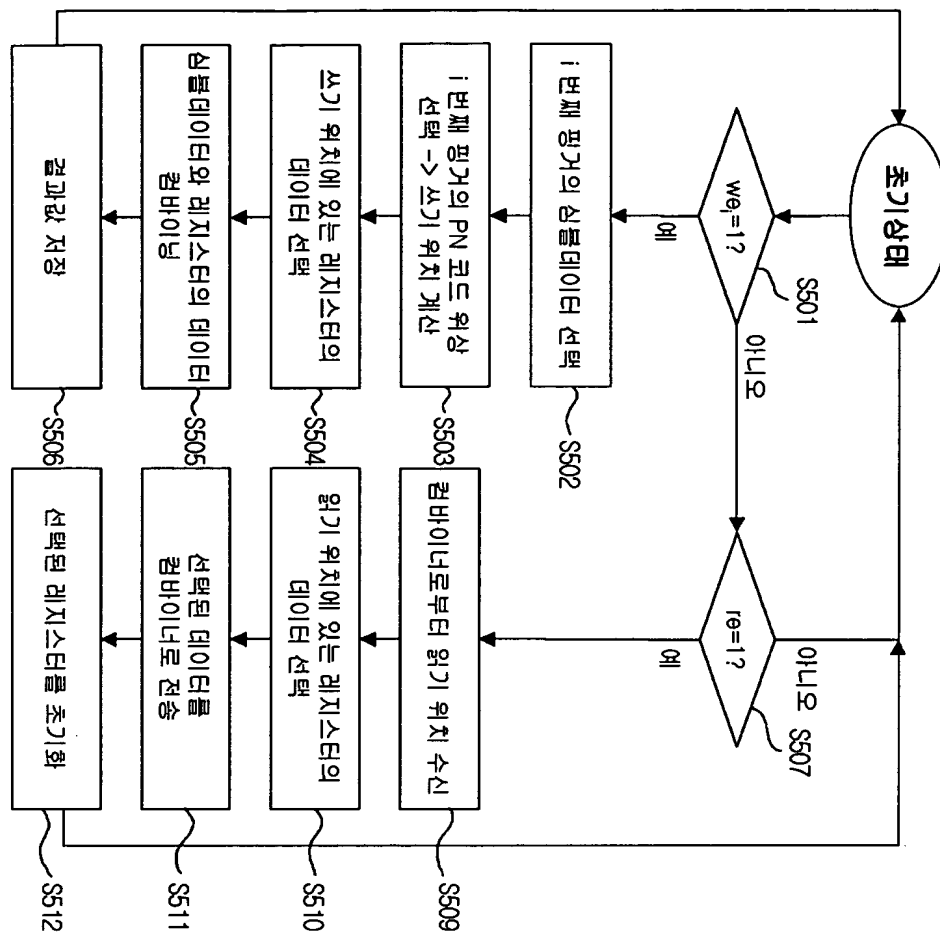
【도 3】



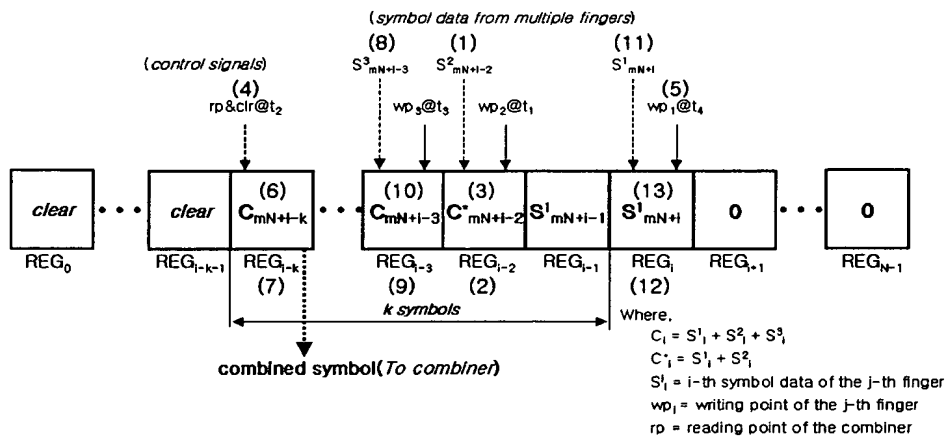
【도 4】



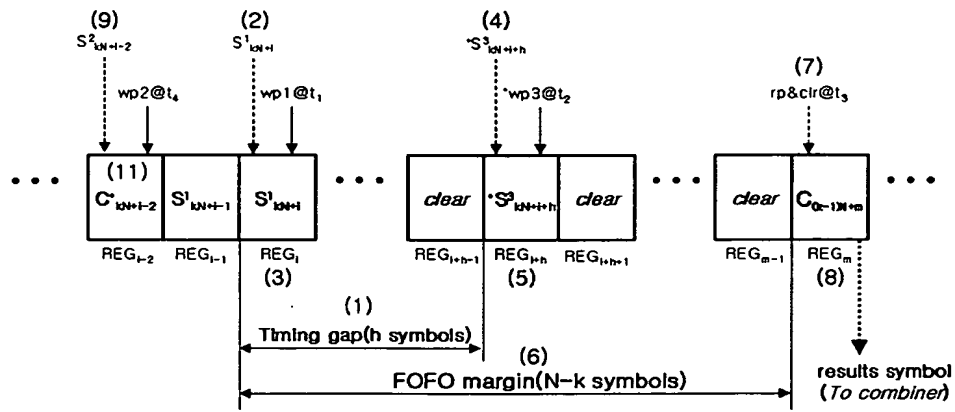
【도 5】



【도 6】



【도 7】



where, *wp_i = writing point of the i-th finger for new cell
 wp_j = write enable of the j-th finger for the previous cell